

## Korean Patent Abstracts

(11) Publication Number: **980033205**  
(43) Date of publication of application: 25.07.1996

---

(21) Application number: 970055324

(71)Applicant: Texas Instruments  
Incorporated  
(Dallas, TX)

(22) Date of filing: 24.10.1997

(72)Inventor: Rodder, Mark S.  
(University Park, TX )  
Chapman, Richard A.  
(Dallas, TX )

(51)Int'. CI H01L-021/336

---

(54) Method of forming a MOSFET using a disposable gate and raised source and drain

(57) Abstract:

A method for forming a MOSFET transistor (100) using a disposable gate (120). A disposable gate (120) having at least two materials (122,124) that may be etched selectively with respect to each other is formed on a semiconductor substrate (102). Source/drain regions (104) are then formed adjacent the disposable gate. The source/drain regions may, for example, include raised source/drain regions (106). An insulator layer (114) is then deposited over the structure and then a portion of the insulator layer (114) over the disposable gate (120) is removed (e.g., using CMP or an etch-back). The composition of the insulator layer (114) is chosen such that the top layer (124) of the disposable gate (120) may be removed selectively with respect to the insulator layer (114). The disposable gate (120) is then removed and a channel implant may be performed that is self-aligned and only in the channel region. The gate dielectric (110) and gate electrode (112) are then formed.

COPYRIGHT 2001 KIPO

AQ

특 1998-033205

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.\*

H01L 29/722

(11) 공개번호 특 1998-033205

(43) 공개일자 1998년 07월 25일

(21) 출원번호	특 1997-055324
(22) 출원일자	1997년 10월 27일
(30) 우선권주장	60/029215 1996년 10월 28일 미국(US)
(71) 출원인	텍사스민스트루먼츠인코포레이티드 월리엄비. 캠플러 미국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500 로더마크에스.
(72) 발명자	미국 75225 텍사스주 유니버시티 파크 퍼듀 스트리트 3317 체프만리차드에이. 미국 75240 텍사스주 달라스 브리애르코브 드라이브 7240
(74) 대리인	장수길, 주성민

설명구 : 없음(54) 일회용 게이트를 사용하는 MOSFET의 형성 방법**요약**

일회용 게이트(120)를 사용하여 MOSFET 트랜지스터(100)를 형성하는 방법. 서로에 대해 선택적으로 예철될 수 있는 적어도 2개의 물질(122, 124)를 갖는 일회용 게이트(120)이 반도체 기판(102)상에 형성된다. 소스/드레인 영역(204)는 다음에 일회용 게이트에 인접하여 형성된다. 소스/드레인 영역은 예를 들어 상향 물출된 소스/드레인 영역(106)을 포함할 수 있다. 절연층(114)은 다음에 이 구조 위에 증착되고 그 다음에 일회용 게이트(120)위의 절연층(114)의 일부가 (예를 들어, CMP 또는 애칭 백)을 사용하여 제거된다. 절연층(114)의 화합물을은 일회용 게이트(120)의 상부층(124)가 절연층(114)에 대해 선택적으로 제거될 수 있도록 선택된다. 일회용 게이트(120)는 다음에 제거되고 채널 주입은 자기 정렬되고 채널 영역내에서만 수행될 수 있다. 게이트 유전체(110) 및 게이트 전극(112)가 다음에 형성된다.

**도표도****도2****양세서****도면의 간단한 설명**

도 1은 종래 기술의 MOSFET 구조의 단면도.

도 2는 본 발명의 제1 실시예에 따라 형성된 MOSFET의 단면도.

도 3a-3h는 다양한 제조 단계중의 도 2의 MOSFET의 단면도.

도 4는 제조 중의 도 2의 MOSFET의 다른 실시예의 단면도.

도 5는 제조 중의 도 2의 MOSFET의 다른 실시예의 단면도.

도 6a-6c는 제조 중의 도 2의 MOSFET의 다른 실시예의 단면도.

도 7은 본 발명의 제2 실시예에 따라 형성된 MOSFET의 단면도.

도 8a-8g는 다양한 제조 단계중의 도 4의 MOSFET의 단면도.

도면의 주요 부분에 대한 부호의 설명

100 : MOSFET 트랜지스터

106 : 소스/드레인 영역

110 : 게이트 유전체

112 : 게이트 전극

114 : 절연층

120 : 일회용 게이트

**도면의 상세한 설명**

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 공정에 관한 것으로 특히 일회용 게이트 공정을 사용하여 MOSFET 구조를 형성하는 것에 관한 것이다.

CMOS 기술이 서브 미크론 영역으로 더욱 감소됨에 따라, 충분히 낮은 시트 저항, 낮은 접합 용량, 및 게이트 하부의 소스/드레인 면장부의 낮은 접합 용량을 유지하기가 더욱 어렵게 되고 있다. 종래의 CMOS 트랜지스터(10)이 도 1에 도시되어 있다. 소스/드레인 영역(14)은 기판(12)내에 형성된다. 풀리실리콘 게이트 전극(18)은 게이트 전극층(16)에 의해 기판(12)로부터 분리된다. 측벽 유전체(20)은 게이트 전극(18)의 측벽상에 형성된다. 트랜지스터(10)은 전형적으로 측벽 유전체(20) 아래로 연장되는 소스/드레인 면장부(22)를 포함한다.

#### 발명이 이루고자 하는 기술적 과제

트랜지스터(10)이 깊은 서브 미크론 영역으로 축소됨에 따라, 풀리실리콘(18) 선쪽은 보다 더 좁아진다. 이것은 게이트 시트 저항을 증가시킨다. 게이트 시트 저항을 낮추는 것은, 실리사이드된 풀리실리콘의 사용되어도 달성하기가 어렵다. 소스/드레인 접합 영역(14) 및 소스/드레인 면장부(22)는 또한 바람직하지 못한 단락 채널 효과 및 짧은 채널 길이에서의 일계 전극의 롤-오프(roll-off)를 피하기 위해서 있어야 한다. 그러나, 깊은 서브 미크론 영역에서, 이온 주입과 같은 종래의 수단에 의해 보다 얇은 도핑 프로필을 달성하기가 어렵다. 그러므로, 충분히 낮은 게이트 시트 저항, 짧은 접합 길이, 및 낮은 접합 용량을 유지하면서 서브 미크론 영역으로 더욱 축소될 수 있는 CMOS 트랜지스터 구조가 필요하다.

본 발명은 깊은 서브 미크론 영역(즉, 10 미크론 미하)을 위한 상향 풀출된 소스/드레인 MOSFET와 관련하여 지금부터 설명된다. 본 기술에 통상의 지식을 가진 자는 본 발명의 장점이 다른 MOSFET 구조에도 적용 가능하고 이러한 장점은 깊은 서브 미크론 영역에 제한되지 않는다는 것을 인식할 것이다.

### 발명의 구성 및 작동

본 발명의 제1 실시예에 따라 형성된 상향 풀출된 소스/드레인 MOSFET(100)이 도 2에 도시되어 있다. MOSFET(100)은 기판(102)내에 형성되고 상향 풀출된 소스/드레인 영역(106) 아래에 매우 얕은 소스/드레인 접합 영역(104)을 포함한다. 상향 풀출된 소스/드레인 영역(106)은 예를 들어, 도핑된 에피택셜층이다. 그러나, 다른 반도체, 금속 또는 실리사이드와 같은 다른 물질이 대안적으로 사용될 수 있다. 채널 도핑은 중간 채널 영역(108)과의 자기 정렬에 의해 실질적으로 제한되지 않는다. 이것은 (a) 소스/드레인 접합 영역를 포함하는 채널 주입을 위한 전체 확장 영역을 주입하고, 또는 (b) 자기 정렬되지 않으나 보다 국소화된 채널 주입을 사용하는 통상의 방법들에 비해 소스/드레인 접합 용량을 감소시킨다.

게이트 유전체(110)은 게이트 전극(112)를 채널 영역(108) 및 상향 풀출된 소스/드레인 영역(106)으로 부터 분리시킨다. 게이트 유전체(110)은 일의 적절한 물질을 포함할 수 있다. 통상적으로, 성장된 산화물, 산화화물, 또는 중착된 게이트 절연체가 사용된다. 게이트 전극(112)은 양호하게는 금속 또는 도핑된 풀리실리콘과 같은 저저항 물질을 포함한다. 그러나, 비정질 실리콘, 비결정 실리콘, 복합 금속-풀리실리콘 또는 금속-금속과 같은 다른 도전성 물질이 대안적으로 사용될 수 있다. 그 예로 티타늄 절화물 위의 알루미늄 및 티타늄 절화물 위의 텅스텐을 들 수 있다. 게이트 전극(112)은 또한 양호하게는 풀리실리콘에 사용되는 경우 시트 저항을 더욱 감소시키도록 실리사이드된다. 소정의 경우, 게이트 전극(112)은 도 2에 도시한 바와 같이 T-게이트 구조로 형성될 수 있다. T-게이트 구조는 본 발명을 실시하기 위해 요구되지 않으나, 게이트 시트 저항을 보다 더 감소시킨다.

절연층(114)은 상향 풀출된 소스/드레인 영역(106)을 T-게이트 구조(112)의 상부로 부터 분리시킨다. 절연층(114)의 물질은은 공정 중에 사용된 일회용 게이트 물질이 유전층에 대하여 선택적으로 에칭되도록 진작된다. 이것은 아래에 더 설명된다. 예를 들어, 절연층(114)은 산화물을 포함할 수 있다. 절연층(114)의 두께는 상향 풀출된 소스/드레인 영역(106)과 T-게이트 구조(112)의 상부 사이의 낮은 게이트-드레인 용량을 가능하게 하도록 태일러(tailor)될 수 있다.

본 발명의 제1 실시예에 따라 MOSFET(100)을 형성하는 방법이 도 3a-3b와 관련하여 이제부터 설명된다. 도 3a를 참조하면, 일회용 게이트(120)은 MOSFET(100)의 채널 영역이 요구되는 영역에 걸쳐 기판(102)의 활성 영역 위에 형성된다. 양호한 실시예에서, 일회용 게이트(120)은 제1 물질(122) 및 제2 물질(124)의 2개의 물질을 포함한다. 제1 및 제2 물질(122 및 124)은 이를이 서로에 대해 선택적으로 에칭되도록 진작된다. 제1 물질은 또한 제거시에 채널 영역의 손상을 피하도록 실리콘에 대해 선택적으로 에칭되도록 선택된다.

다음에, 상향 풀출된 소스/드레인(106)이 형성될 수 있다. 소스/드레인 영역(104 및/또는 106)은 다양한 방식으로 형성될 수 있다. 한 가지 양호한 방법이 이제부터 논의될 것이고 다른 방법이 아래에 더 설명된다. 상향 풀출된 소스/드레인 영역(106)은 반도체, 금속, 실리사이드 또는 이들의 합성을과 같은 물질을 포함할 수 있다. 이 전형적인 실시예에서, 예를 들어 실리콘의 에피택셜 또는 비정질층은 도 3b에 도시한 바와 같이, 일회용 게이트(120)에 입접하여 기판(102) 위에 선택적으로 형성된다. 일회용 게이트(120)은 에피택셜 공정을 위한 마스크로서 사용된다. 그러므로, 상향 풀출된 소스/드레인 영역(106)은 일회용 게이트(120)와 자기 정렬된다. 일회용 게이트(120)의 에지에서의 에피택셜 형성된 상향 풀출된 소스/드레인 영역(106)의 각각 진면이 발생할 수 있다. 면의 각도는 크리닝 및 중착 공정의 공정 파라미터를 조정함으로써 부분적으로 제어될 수 있다.

상향 풀출된 소스/드레인 영역(106)은 적절한 도편트로 도핑된다. 실리콘 물질이 상향 풀출된 소스/드레인 영역(106)으로 사용되는 경우, 인 및/또는 바소 또는 앤티몬과 같은 n형 도편트가 n 채널 MOSFET용으로 사용되고, 농소와 같은 p형 도편트가 p 채널 MOSFET용으로 사용된다. 양호하게는, 상향 풀출된 소

소스/드레인 영역(106)은 증착 및 마스킹의 적절한 수단에 의해 인 시튜(*in situ*) 도핑되나, 상향 툴출된 소스/드레인 영역(106)이 실리콘, 금속, 또는 실리사이드와 같은 물질을 포함하는 경우 주입과 같은 수단에 의해 증착 이후에 선택적으로 도핑될 수 있다.

소정의 경우에, 상향 툴출된 소스/드레인 영역(106)의 선택된 부분이 그들의 형성 이후에 피복될 수 있다. 이 피복은 예를 들어, 상향 툴출된 소스/드레인 영역(106)의 부분위의 금속층의 실리사이드마스크 형성에 의해 상향 툴출된 소스/드레인 영역 위에 저저항 물질을 형성한다. 게이트 유전체 및 게이트 전극의 형성전의 피복은 게이트 유전체 및 게이트 전극에 의해 나타나는 열 처리를 감소시킨다.

도 3c를 참조하면, 절연 물질(114)가 이 구조 위에 증착된다. 절연 물질(114)은 일회용 전극(120)의 제2 물질(124)에 대해 선택적으로 예정될 수 있도록 선택된다. 예를 들어, 제2 물질이 질화물인 경우, 절연 물질(114)은 산화물을 포함할 수 있다. 절연 물질(114)은 도 3d에 도시한 바와 같이, 일회용 게이트(120)를 노출시키도록 제거된다. 예를 들어, 예정 백 공정 또는 화학-기계 연마(CMP)가 사용될 수 있다. 다른게는, 일회용 게이트(120)에 인접하는 절연 물질(114)의 피복된 에치가 사용될 수 있다. 절연 층(114)은 상향 툴출된 소스/드레인 영역(106)을 덮으나, 일회용 게이트(120)의 표면은 덮지 않는다.

다음에, 일회용 게이트(120)의 제2 물질(124)은 도 3e에 도시한 바와 같이 선택적으로 제거된다. 제1 물질(122), 제2 물질(124) 및 절연 물질(114)의 조성은 제2 물질(124)가 절연 물질(114) 및 제1 물질(112) 모두에 대해 선택적으로 예정될 수 있도록 선택되기 때문에, 절연 층(114) 및 제1 물질(122)은 제2 물질(124)의 제거 중에 실질적으로 제거되지 않는다. 제2 물질(124)의 제거 이후에, 제1 물질(122)은 제거된다. 다시, 물질 및/또는 예정 공정의 본별 있는 선택으로 인해, 제1 물질(122)은 기판(102)내로 에 청하지 않고 제거된다. 기판(102)의 채널 영역(108)에 대한 심각한 손상이 이로써 방지된다.

도 3f를 참조하면, 채널 도편트(예를 들어, 채널(또는 *Vt*) 주입 또는 가스 투입 레이저 도핑에 의함)의 도입이 제1 물질(122)의 제거 전 또는 후에 수행된다. 절연 층(114)은 상향 툴출된 소스/드레인 영역(106)을 덮기 때문에, 채널 도편트의 주입은 실질적으로 증간 채널 영역(108)에만 제한된다. 채널 도편트의 도입은 상향 툴출된 소스/드레인 영역(106)과 자기 정렬된다. 이것은 채널 도편트가 채널과 자기 정렬되지 않으나 소스/드레인 영역으로 연장하는 증래 기술에 비해 후속 형성된 소스/드레인 접합 영역의 용량을 증가시킨다.

다음에, 게이트 유전체(110)이 형성된 이후에, 도 3g에 도시한 바와 같이 게이트 물질(126)이 증착된다. 게이트 유전체(110)은 성장 및/또는 증착된 산화물, 산질화물, 또는 이산화 실리콘보다 높은 유전 상수를 갖는 물질을 포함하는 임의의 다른 적합한 게이트 유전체 물질을 포함할 수 있다. 게이트 유전체(110)이 증착되면, 절연 층(114)의 상부(도시 안됨)뿐만 아니라 절연체(114)의 수직 에지들 따라 거의 균일하게 될 수 있다. 게이트 유전체(110)에 인접한 게이트 물질(126)의 축방향 치수는 일회용 게이트(110)의 제거에 의해 남겨진 절연 물질내의 개구에 의해 결정된다. 그러므로, 실제 채널 길이는 게이트 물질(126)의 폐쇄된 에치에 의해 결정되지 않는다. 일회용 게이트(120)의 제거에 의해 남겨진 개구는 게이트 유전체(110) 및 게이트 물질(126)이 상향 툴출된 소스/드레인 영역(106) 및/또는 도핑된 소스/드레인(104)의 부분 위에 연장 또는 직접 연장하지 않도록 될 수 있다. (주: 본 실시예에서는 소스/드레인(104)은 아직 형성되지 않음). 도 3g는 게이트 유전체(110)/게이트 물질(126)이 일회용 게이트(120)의 제거에 의해 남겨진 공간내의 영역(106) 위에 직접 연장하지 않는 경우를 도시한 것이다. 게이트 유전체(110)/게이트 물질(126)이 영역(106)의 면 위에 연장하는 경우에, 게이트 유전체(110)은 도 4e에 도시한 바와 같이, 게이트 물질(126)을 소스/드레인 영역(106 및/또는 104)로부터 분리시킨다. 영역(106 및/또는 104)위의 게이트 물질(126)의 연장부는 게이트-드레인 통합의 증기가 생기는 경우에도 후속 형성된 MOSFET의 직렬 저항을 감소시키는데 있어 유리하다. 게이트 물질(126)의 연장부의 존재 및/또는 최적화는 적용 및 앞서 언급된 직렬 저항 및 증설 저항과 같은 문제의 절충에 따라 다르다.

게이트 물질(126)은 실질적으로 실리콘 또는 실리콘 게르마늄, 도핑된 툴리실리콘, 도핑된 비정질 실리콘, 금속층, 다른 금속들로 이루어진 복합 물질 또는 금속과 반도체 물질의 합성을, 또는 다른 적절한 도전성 물질(예를 들어, 텁스텐, 질화 티타늄, 알루미늄, 또는 구리)을 실질적으로 합유하는 비결정 물질을 포함할 수 있다. 부가적으로, 반도체 물질이 게이트 물질(126)으로 부분적으로 사용되는 경우에, 이 반도체 물질은 인 시튜 도핑되거나, 또는 주입 또는 어닐에 의해 증착 이후에 도핑될 수 있다. 도핑은 n형 게이트 물질용으로는 n형 도편트(예를 들어, 인, 비소 또는 안티몬) 또는 p형 게이트 물질용으로는 p형 도편트(예를 들어, 봉소)의 도입에 의해 행해질 수 있다.

게이트 물질(126)은 다음에 도 3h에 도시한 바와 같이, 게이트 전극(112)를 형성하기 위해 패턴 및 에칭된다. 소스/드레인 형성 이후에 게이트 공정을 수행한으로써, 소스/드레인 형성에 의해 요구되는 열 처리는 게이트 유전체(110) 및 게이트 전극(112)에 영향을 주지 않는다. 그러므로, 도핑된 툴리실리콘 게이트 전극은 도핑된 툴리실리콘으로부터 게이트 유전체 및 채널 영역으로 도편트를 확산시키지 않고 초박막 게이트 유전체(즉, 60 Å 또는 실지마는 30 Å 미만)으로 사용될 수 있다. 다른게는, 금속을 부분적으로 포함하는 게이트 전극은 소스/드레인 형성을 위한 열 처리가 이미 수행되었기 때문에 사용될 수 있다.

소정의 경우에, 게이트 전극이 절연 층(114)의 일부 위에 연장하는 T-게이트 구조가 도 3h에 도시한 바와 같이, 게이트 시트 저항을 더욱 감소시키는데 사용될 수 있다. 또한, 절연 층(114)을 T-게이트 구조(112)의 상부 부분으로부터 상향 툴출된 소스/드레인 영역(106)을 분리시키면 상향 툴출된 소스/드레인 영역(106)과 T-게이트 구조(112)의 상부 부분 사이에 낮은 게이트-드레인 통합을 가져다 준다. 이것은 소정의 장점을 제공하지만, T-게이트 구조는 본 발명을 실시하는데 요구되지는 않는다.

게이트 전극(112)를 형성하는데 사용될 수 있는 여러가지 방법이 있다. 첫번째 예로서, 증착 미후에, 게이트 물질(126)은 도 5h에 도시한 바와 같이 자기 정렬된 비 T-게이트 구조를 형성하기 위해 절연 층(114)을 실질적으로 고르게 되도록 다시 평탄화 될 수 있다. 후속하여, 소정의 경우에, T-게이트 구조는 T-게이트 구조를 생성시키는 에피택시 과정과 함께 반도체 또는 금속의 선택적 에피택시와 같은 수단에 의해 형성될 수 있다. 두번째 예로서, 증착된 게이트 물질(126)은 절연 층(114)의 부분 위에 연장하는 T-게이트 구조를 형성하기 위해 단순히 패턴 및 에칭될 수 있다. 또한 게이트 전극(112)는 소정의 경우에

낮은 저항 물질로 피복될 수 있다. 피복은 예를 들어 금속의 실리사이碍이션, 에피택시, 또는 저저항 물질의 중착, 패턴 및 애칭을 포함하는 여러 가지 방식으로 달성될 수 있다.

세번째 예에서, 게이트 물질(126)이 증착된 이후, 그러나 에칭되기 전에, 피복 물질이 증착될 수 있다. 다음에, 피복 물질 및 게이트 물질은 T-게이트 구조 전극(112)를 형성하기 위해 패턴 및 에칭될 수 있다. 이 경우에, 게이트 물질(126) 및 전극(112)의 피복 물질은 절연층(114) 위에 연장한다.

네번째 예에서, 비 T-게이트 구조가 상술한 바와 같이 형성될 수 있다. 후속하여, 피복은 저저항 물질(예를 들어, 실리사이드 또는 금속)을 증착하고 피복물질을 패턴 및 애칭하여 절연층(114)의 부분 위에 연장시킴으로써 달성된다. 이 경우에, 게이트 전극(112)는 피복층 만이 절연층(114) 위에 연장하는 T-게이트 구조를 포함한다.

마지막으로, 이 구조는 이러한 영역이 요구되는 경우에 소스/드레인 영역(104)을 형성하기 위해 상향 물출된 소스/드레인 영역(106)으로부터 도전트를 확산시키도록 미지점에서 어닐될 수 있다. 그러나, 증착 시간 또는 온도가 충분하다면 상향 물출된 소스/드레인의 증착 중에 적절한 확산이 일어질 수 있다는 것을 주목하여야 한다. 미 어닐은 또한 소정의 경우에 공정에서 조기에 수행될 수 있거나 또는 게이트 전체의 형성과 같은 다른 공정의 일부일 수 있다. 상향 물출된 소스/드레인 구조로 부터 도전트를 확산시키면 주입 도핑된 소스/드레인 접합 영역에서 가능한 것보다 많은 소스/드레인 접합 영역(104)가 얻어질 수 있다.

상술한 공정 흐름 다음에는, 종래의 공정이 게이트 전극(112) 및 소스/드레인 영역(106 또는 104)의 다른 장치(도시안됨)와의 접속을 형성하도록 사용될 수 있다. 상술한 공정에 대한 다양한 변경이 본 설명을 참조하는 당해 기술의 숙련자에게는 분명할 것이다. MOSFET(100)용의 소스/드레인 영역을 형성하는 여러 가지 변형이 이제부터 설명된다.

첫번째 변형에서, 상향 물출된 소스/드레인 영역(106)을 에피택설 형성하는 것 대신에, 상향 물출된 소스/드레인 영역(106)은 다른 방법에 의해 형성될 수 있다. 예를 들어, 이를은 원하는 도전성 물질의 비 선택 중착 다음에 미 물질의 패턴 및 애칭에 의해 형성될 수 있다. 전형적인 물질은 반도체, 금속, 실리사이드 또는 이를의 화합물을 포함한다.

두번째 변형에서, 소스/드레인 영역(104)은 실질적으로 형성될 수 있다. 즉, 상향 물출된 소스/드레인 영역(106)으로부터의 도전트의 확산은 일회용 게이트 물질(122 및 124)을 제거하는데 사용되는 공정이 물질(114)의 제어된 작은 부분을 제거하기 위해 조정된다면 실질적으로 필요하지 않다. 이것은 결국 게이트 유전체(110)에 상향 물출된 소스/드레인 영역(106)의 일부를 노출시킨다.

소스/드레인 영역(104)은 상향 물출된 소스/드레인 영역(106)으로부터의 확산을 필요로 하지 않는 다른 방식으로 형성될 수 있다는 것을 또한 주목하여야 한다. 예를 들어, 영역(104)은 폴리실리콘-개르마늄 또는 도핑된 산화물과 같은 상부층으로부터 확산되고, 이를은 영역(104)을 일개 유지하기 위해 다양한 기술을 사용하여 주입 도핑될 수 있거나, 또는 이를은 가스-투입 레이저 도핑을 이용하여 형성될 수 있다.

세번째 변형에서, 깊은 소스/드레인 영역(132)가 사용된다. 상향 물출된 소스/드레인 영역(106)은 도 6a에 도시한 바와 같이, 소스/드레인 영역(104)을 형성하기 위해 일회용 게이트(120)를 제거하기 전에 어닐된다. 측벽 스페이서(130)은 도 6b에 도시한 바와 같이, 상향 물출된 소스/드레인 영역(106)의 면 위의 일회용 게이트(120)의 측벽상에 형성된다. 측벽 스페이서(130)의 형성 이후에, 보다 깊은 소스/드레인 영역(132)가 예를 들어 도6c에 도시한 바와 같이 주입 및 어닐과 같은 수단에 의해 형성된다. 측벽 스페이서(130)은 깊은 소스/드레인 영역(132)을 후속 형성된 게이트 전극(112)로 부터 분리시키는 역할을 한다. 소스/드레인 영역(104)을 형성하기 위한 어닐은 별도의 어닐 대신에 깊은 소스/드레인 영역(132)을 형성하기 위해 측벽 스페이서(130) 형성 또는 어닐의 일부일 수 있다는 것을 주목하여야 한다.

상술한 측벽 스페이서(130)은 단독으로 또는 상술한 것에 부가해서 사용될 수 있는 여러 가지 다른 이용을 갖는다. 예를 들어, 측벽 스페이서(130)는 상향 물출된 소스/드레인 영역(106)의 도핑전에 형성될 수 있다. 측벽 스페이서(130)은 다음에 상향 물출된 소스/드레인 영역(106)의 면내로 도전트가 주입하는 것을 방지할 것이다. 측벽 스페이서(130)은 또한 상향 물출된 소스/드레인 영역(106)을 피복하기 위한 공정에서 또한 사용될 수 있고, 이로써 상향 물출된 소스/드레인 영역(106)의 선택된 부분에 피복하는 것을 방지한다. 이 선택된 부분은 단순히 면 영역보다 영역(106)의 일부, 모두 또는 더 많은 것을 포함할 수 있다. 상향 물출된 소스/드레인 영역(106)의 피복은 게이트 전극(112)을 피복하는 것을 참조하여 위에 설명된 것들과 유사한 방법을 사용하여 달성될 수 있다. 그러나, 상향 물출된 소스/드레인 영역(104)의 피복은 전체 영역(106) 위에서 발생하지 않는다. 면 영역의 단부에서의 피복은 게이트 유전체가 그 영역에서 요구되기 때문에 피해져야 하고, 면 성장된 게이트 유전체는 피복된 영역 위에 형성하지 않을 것이다.

본 발명의 제2 실시예에 따라 형성된 상향 물출된 소스/드레인 MOSFET가 도 7에 도시되어 있다. MOSFET(200)은 기판(202)내에 형성되고, 물출된 소스/드레인 영역(206) 아래에 소스/드레인 접합 영역(204)을 포함한다. 상향 물출된 소스/드레인 영역(206)은 예를 들어 도핑된 에피택설 실리콘이다. 그러나, 다른 반도체, 금속 및/또는 실리사이드와 같은 다른 물질이 대안적으로 사용될 수 있다. 채널 도핑은 실질적으로 중간 채널 영역(208)로 제거된다. 이것은 (a) 소스/드레인 접합 영역을 포함하는 채널 주입에 대해 전체 활성 영역을 주입하는 방법, 또는 (b) 비자기 정렬되나 보다 국소화된 채널 주입을 사용하는 방법에 비해 소스/드레인 접합 용량을 감소시킨다.

게이트 유전체(210)은 채널 영역(208)로부터 게이트 전극(212)을 분리시킨다. 게이트 유전체(210)은 임의의 적절한 물질을 포함할 수 있다. 통상적으로, 면 성장된 산화물, 산질화물, 또는 증착된 게이트 절연체가 사용된다. 측벽 유전체(215)는 상향 물출된 소스/드레인 영역(206)으로부터 게이트 전극(212)을 분리시킨다. 측벽 유전체(215) 두께는 깊은 서브 마이크론 장치용의 200 Å 미만이다. 측벽 유전체(215)는 예를 들어 질화물을 포함한다. 게이트 전극(212)는 양호하게는 금속 또는 도핑된 폴리실리콘과 같은 저 저항 물질을 포함할 수 있다. 그러나, 비정질 실리콘, 비결정 실리콘, 합성 금속-폴리실리콘 또는 금속-금속과 같은 다른 도전성 물질이 대안적으로 사용될 수 있다. 예로는 타타늄-질화물 위의 알루미늄 및

티타늄 질화물의 텁스텐을 둘 수 있다. 게이트 전극(112)는 또한 양호하게는 풀리실리콘이나 사용되는 경우 시트 저항을 더욱 감소시키기 위해 살리사이드된다. 소정의 경우, 게이트 전극(212)은 도 4에 도시한 바와 같이 T-게이트 구조로 형성될 수 있다. T-게이트 구조는 본 발명을 실시하는데 필요하지 않으나, 게이트 시트 저항을 더욱 감소시킨다.

유전층(214)은 T-게이트 구조(212)의 상부로부터 상향 풀출된 소스/드레인 영역(206)을 분리시킨다. 유전층(214)의 물질은 공정 동안에 사용된 일회용 게이트 물질이 유전층(214)에 의해 선택적으로 에칭될 수 있도록 선택된다. 이것은 아래에 더 설명된다. 예를 들어, 유전층(214)은 산화물을 포함할 수 있다. 유전층(214)의 두께는 상향 풀출된 소스/드레인 영역(206)과 T-게이트 구조(212)의 상부 사이의 낮은 게이트-드레인 용량을 가능하게 하도록 태일러링될 수 있다.

본 발명의 제2 실시예에 따라 MOSFET(200)을 형성하는 방법은 도 8a-8g를 참조하여 이제부터 설명된다. 도 8a를 참조하면, 일회용 게이트(220)은 MOSFET(200)의 채널 영역이 위치될 영역 위의 기판(202)의 활성 영역상에 형성된다. 일회용 게이트(220)은 적어도 2개의 별도의 물질을 포함한다. 도 8b에 도시한 바와 같이, 3개의 물질들이 사용된다. 제1 물질층(222)은 기판(202)로 실질적으로 에칭하지 않고서 기판(202) 부터 선택적으로 제거될 수 있는 산화물 또는 다른 물질을 포함할 수 있다. 제2 물질층(223)은 제1 물질층(222)에 의해 선택적으로 에칭될 수 있고, 아래에 설명되는 바와 같이 여러개의 후속 형성될 물질이다. 예를 들어, 제2 물질층은 실리콘-게르마늄 또는 실리콘-카르마늄 또는 실리콘-카르마늄-카르마늄으로도 부른다. 제1 물질층(222)은 생략될 수 있고 제2 물질층(223)이 기판(202)상에 직접 배치된다. 제2 물질층(223)은 채널 영역내로 에칭하지 않고서 기판(202)로부터 선택적으로 제거될 수 있다. 실리콘-게르마늄은 채널 영역내로 에칭하지 않고서 기판(202)로부터 선택적으로 제거될 수 있다. 제3 물질층(224)은 이것이 후속 형성된 층별 유전체를 실질적으로 제거하지 않고서 제거될 수 있도록 선택된다. 예를 들어, 제3 물질층(224)은 적절한 두께의 산화물 또는 절화물일 수 있다.

대안으로서, 제1 물질(222)은 일회용 게이트의 부분으로 되는 것 대신에 이 점에서 전체 장치 위에 연장한다. 다음에, 아래에 설명되는 측벽 유전체(215) 형성의 부분으로서, 측벽 유전체(215) 및 제2 물질(223)에 의해 덮혀지지 않는 제1 물질(222)의 부분은 제거될 수 있다.

다음에, 측벽 유전체(215)는 도 8b에 도시한 바와 같이, 일회용 게이트(220)의 측벽 위에 형성된다. 측벽 유전체(215)는 얇고 예를 들어 같은 서브-미크론 장치용의 200 Å 미만일 수 있다. 측벽 유전체(215)의 물질은 일회용 게이트(220)이 측벽 유전체(215)를 실질적으로 제거하지 않고서 및/또는 소스/드레인 접합 영역(204)에 인접한 측벽 유전체를 제거하지 않고서 선택적으로 제거될 수 있다. 예를 들어, 일회용 게이트(220)의 산화물 및 실리콘-게르마늄 또는 실리콘-카르마늄의 물질을 포함하는 경우, 측벽 유전체(215)는 절화물 또는 산화물/절화물을 합성물을 포함할 수 있다. 물질 및 두께의 다른 조합이 본 기술에 숙련된 자에게 분명하다.

상향 풀출된 소스/드레인 영역(206) 및 소스/드레인 영역(204)은 제1 실시예 및 그것의 변형과 관련하여 위에 설명된 것과 같은 다양한 방식으로 형성될 수 있다. 나머지 도면 및 설명은 소스/드레인 접합 영역(204)과 도 8c에 도시한 바와 같이, 상향 풀출된 소스/드레인 영역(206)으로부터 외부 확산된다. 도 8d에 도시되지는 않았지만, 도 8c의 구조는 도 1의 영역(22) 또는 도 6의 영역(104)에 도시한 것과 같은 선택적으로 얇은 연장 영역을 포함할 수 있다. 미 선택적으로 얇은 접합 형성은 상향 풀출된 소스/드레인 영역(206)의 형성 전이나 후에 수행될 수 있다. 도시되지는 않았지만, 미 선택적 주입은 또한 상술한 제1 실시예에 또한 적용 가능하다. 주: 상향 풀출된 소스/드레인 영역이 형성된 후에, 양호한 실시예에 대한 선택으로서, 측벽 유전체 또는 절화물을 포함하는 측벽 유전체(215)의 부분은 선택적으로 제거될 수 있다.

다음에, 유전층(214)가 구조 위에 증착된다. 유전층(214)은 제2 물질(223)의 상부가 노출될 때까지 다음에 평탄화 벽된다(예를 들어, CMP 또는 애치黠). 다른게는, 일회용 게이트(220)에 인접하는 유전층(214)의 패턴된 에치가 사용될 수 있다. 그러므로, 유전체(214)의 물질은 이것이 제2 물질(223)에 대해 및/또는 제3 물질에 대해 선택적으로 제거될 수 있도록 선택된다. 제3 물질층(224)은 도 8d에 도시한 바와 같이, 미 평탄화 공정 중에 제거될 수 있다. 다른게는, 제3 물질층(224)은 유전층(214)을 상당히 제거하지 않는 에치를 사용하여 에칭함으로써 제거될 수 있다.

도 8e를 참조하면, 제2 물질층(223)이 다음에 선택적으로 제거된다. 유전층(214) 및 측벽 유전체(215)는 이들이 제2 물질층(223)이 선택적으로 제거될 수 있도록 다른 물질이기 때문에 에칭에 의해 실질적으로 제거되지 않는다. 주목할 것은 제1 물질(222)은 제2 물질(223)과 동일한 물질을 포함하는 경우, 제1 물질(222)가 또한 제거될 것이라는 것이다. 이것은 선택된 물질이 채널 영역(208)내의 기판(202)에 에칭되지 않도록 실리콘에 대한 높은 선택성으로 제거될 수 있는 한 문제가 되지 않는다. 실리콘-게르마늄은 실리콘에 대한 높은 선택성으로 제거될 수 있는 물질의 한 예이다.

다음에, (예를 들어, 주입 또는 가스 투입 레이저 도핑에 의한) 채널 도편트의 자기 정렬된 도입이 수행될 수 있다. 채널 도편트의 도입은 제1 물질(222)의 제거 전이나 후에 수행될 수 있다. 유전층(214)은 상향 풀출된 소스/드레인 영역(206)을 덮기 때문에, 채널 도편트의 도입은 실질적으로 중간 채널(208) 영역으로 제한되지 않는다. 채널 도편트의 도입은 상향 풀출된 소스/드레인 영역(206)과 자기 정렬되지 않는다. 이것은 채널 주입이 채널과 자기 정렬되지 않으나 소스/드레인 영역으로 연장하는 종래의 방법에 비해 후속 형성된 소스/드레인 접합 영역의 감소를 야기시킨다.

이 점에서, 양호한 실시예의 변형은 유전체 측벽(215)을 제거하도록 사용될 수 있다. 유전체 측벽(215)은 게이트 유전체(210)의 형성 전에 선택적 에칭에 의해 제거될 수 있다.

다음에, 게이트 유전체(210)가 형성되고 도 8e에 도시한 바와 같이 게이트 물질이 증착된다. 게이트 유전체(210)은 성장되고 및/또는 증착된 산화물, 산질화물, 또는 이산화 실리콘 보다 높은 유전 상수를 갖는 물질을 포함하는 일의 다른 적합한 게이트 유전 물질을 포함할 수 있다. 게이트 유전체(210)가 형성되면, 이것은 절연층(214)(도시 인됨)의 상부상에 뿐만 아니라 절연체(214)의 수직 애지를 따라 거의 균일하게 될 수 있다. 게이트 유전체(210)에 인접한 게이트 물질(226)의 축방향 치수는 일회용 게이트의 제거에 의해 남겨진 절연체 물질(214)내의 개구에 의해 결정된다. 그러므로, 실제 채널 길이는 게이트

물질(226)의 패턴된 에치에 의해 결정되지 않는다. 이 실시예에서, 일회용 게이트(220)의 제거에 의해 남겨진 개구는 게이트 물질(226)이 축벽 유전체(215)의 존재로 인해 일회용 게이트(220)의 제거에 의해 남겨진 공간내에서 상향 둘출된 소스/드레인 영역(206)위로 연장한다. 축벽 유전체(215)가 제거되면, 게이트 물질(226)은 상향 둘출된 소스/드레인 영역(206)의 끝 위에 연장할 수 있다.

게이트 물질(226)은 실리콘 또는 실리콘 게르마늄, 도핑된 풀리실리콘, 도핑된 비결정 실리콘층, 금속층, 다른 금속들로 구성된 합성 물질 또는 금속과 반도체 물질의 합성을, 및 다른 적절한 도전성 물질(예를 들어, 텅스텐, 티타늄, 질화물, 알루미늄, 또는 구리)를 절연적으로 할당하는 비결정 물질이다. 또한, 주목해야 할 것은 반도체 물질이 게이트 물질(226)으로 부분적으로 사용된다면, 이 반도체 물질은 인시류 도핑될 수 있거나, 주입 및 어닐링과 같은 수단에 의해 증착 이후에 도핑될 수 있다는 것이다. 도핑은 n형 게이트 물질용으로 n형 도편트(예를 들어, 인, 비소 또는 안티몬) 또는 p형 게이트 물질용으로 p형 도편트(예를 들어, 봉소)의 도핑에 의해 이루어질 수 있다.

게이트 물질(226)은 다음에 도 8g에 도시한 바와 같이 게이트 전극(212)를 형성하기 위해서 패턴 및 엑시된다. 소스/드레인 형성 이후의 게이트 공정을 수행함으로써, 소스/드레인 형성에 의해 요구되는 열처리는 게이트 유전체(210) 및 게이트 전극(212)에 영향을 주지 않는다. 그러므로, 도핑된 풀리실리콘 게이트 전극은 도핑된 풀리실리콘을 게이트 유전체 및 채널 영역내로 도편트 확산시키지 않고 초박막 게이트 유전체(즉, 60Å 또는 심지어 30Å 미만)으로 사용될 수 있다. 다른게는, 금속을 부분적으로 포함하는 게이트 전극은 소스/드레인 형성을 위한 열 처리가 이미 수행되었기 때문에 사용될 수 있다.

도 8g에 도시한 바와 같이, 게이트 전극(212)가 절연층(214)의 일부 위에 연장하는 T-게이트 구조는 게이트 시트 저항률 감소시키는데 사용될 수 있다. 또한, T-게이트 구조(212)의 상부로부터 상향 둘출된 소스/드레인 영역(206)을 볼리시키는 절연층(214)을 가지면, 둘출된 소스/드레인 영역(206)과 T-게이트 구조(212)의 상부 사이의 게이트-드레인 용량을 감소시킨다. 이것은 열거지 장점을 갖지만, T-게이트 구조의 게이트 전극은 본 발명을 실시하기 위해 요구되지 않는다. 게이트 전극(212)은 게이트 전극(212)가 게이트 유전체(210)에 의해서만 분리된 상향 둘출된 소스/드레인 영역(206) 및 소스/드레인 영역(204)의 부분을 위에 놓도록 형성될 수 없다는 것을 제외하고 제1 실시예와 관련하여 상술한 다양한 방식으로 형성될 수 있다. 축벽 유전체(215)는 게이트 전극(212)을 게이트 유전체(210)에 의해서만 영역(206)으로부터 분리되는 것을 방지할 수 있다. 축벽 유전체(215)가 제거되면, 게이트 전극(212)는 게이트 유전체(210)에 의해서만 분리될 수 있다.

종정은 본 기술에 공지된 바와 같이 MOSFET(200) 및 다른 장치(도시 안됨)사이의 상호 접속의 형성으로 종결된다.

본 발명은 예시적 실시예를 참조하여 설명되었지만, 본 설명은 제한하는 의미로 해석되어서는 아니된다. 본 발명의 다른 실시예 뿐만 아니라 예시적 실시예의 다양한 변형 및 조합이 본 설명을 참조한다면 본 기술에 속련된 자에게는 분명하다. 그러므로 첨부된 특허 청구 범위는 임의의 이러한 변형 또는 실시예를 포함할 수 있다.

### 발명의 효과

본 발명은 충분히 낮은 게이트 시트 저항, 짧은 접합 깊이, 및 낮은 접합 용량을 유지하면서 서브 마이크론 영역으로 더욱 축소될 수 있는 효과를 갖는다.

### (5) 청구의 쌍위

청구항 1. 트랜지스터를 형성하는 방법에 있어서,

기판의 정해진 채널 영역 위에 적어도 2개의 구별되는 물질을 포함하는 일회용 게이트(disposable gate)를 형성하는 단계;

상기 일회용 게이트에 인접하여 소스/드레인 영역을 형성하는 단계;

상기 소스/드레인 영역 위에 절연층을 형성하는 단계;

상기 적어도 2개의 구별되는 물질중 다른 하나를 절연적으로 제거하지 않고서 상기 적어도 2개의 구별되는 물질중 하나를 선택적으로 제거하는 단계;

상기 일회용 게이트의 나머지를 제거하는 단계;

상기 정해진 채널 영역 위에 게이트 유전체를 형성하는 단계; 및

상기 게이트 유전체 위에 게이트 전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 트랜지스터의 형성 방법.

청구항 2. 제1항에 있어서, 상기 소스/드레인 영역 형성 단계는 상향 둘출된 소스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터의 형성 방법.

청구항 3. 제1항에 있어서, 상기 적어도 2개의 구별되는 물질중 상기 하나는 질화물을 포함하고, 상기 적어도 2개의 구별되는 물질중 다른 하나는 산화물을 포함하는 것을 특징으로 하는 트랜지스터의 형성 방법.

청구항 4. 제1항에 있어서, 상기 적어도 2개의 구별되는 물질중 상기 하나는 질화물을 포함하고, 상기 적어도 2개의 구별되는 물질중 상기 다른 하나는 실리콘-게르마늄 또는 실리콘을 포함하고, 상기 절연층은 산화물을 포함하는 것을 특징으로 하는 트랜지스터의 형성 방법.

청구항 5. MOSFET를 형성하는 방법에 있어서,

기판의 정해진 채널 영역 위에 일회용 게이트 구조를 형성하는 단계;

상기 일회용 게이트 구조를 마스크로 사용하여, 상기 일회용 게이트 구조에 인접하여 선택적 에피택시에 의해 상향 풀출된 소스/드레인 영역을 형성하는 단계;

상기 상향 풀출된 소스/드레인 영역 위에 유전층을 형성하는 단계;

상기 유전층의 일부를 제거하여 상기 일회용 게이트 구조를 노출시키는 단계;

상기 일회용 게이트 구조를 제거하는 단계;

상기 정해진 채널 영역 위에 게이트 유전체를 형성하는 단계; 및

상기 게이트 유전체 위에 게이트 전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 MOSFET의 형성 방법.

**청구항 6.** 전향 중의 어느 한 향에 있어서, 상기 게이트 전극은 상기 절연층의 일부 위에 연장되는 것을 특징으로 하는 방법.

**청구항 7.** 제6항에 있어서, 상기 게이트 전극 형성 단계는

상기 게이트 유전체 및 상기 절연층 위에 적어도 하나의 도전성 물질을 증착하는 단계; 및

상기 적어도 하나의 도전성 물질을 패터닝하고 에칭하여 상기 절연층의 일부 위에 연장하는 상기 게이트 전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 방법.

**청구항 8.** 제6항에 있어서, 상기 게이트 전극 형성 단계는

상기 게이트 유전체 및 상기 절연층 위에 적어도 하나의 도전성 물질을 증착하는 단계;

상기 적어도 하나의 도전성 물질이 상기 절연층과 평탄화되도록 상기 적어도 하나의 도전성 물질의 일부를 제거하는 단계; 및

상기 적어도 하나의 도전성 물질 위의 선택적 에피택시에 의해 에피택설층을 성장시키는 단계를 포함하고,

상기 에피택설층은 상기 절연층의 일부 위에 연장하는 것을 특징으로 하는 방법.

**청구항 9.** 제6항에 있어서, 상기 게이트 전극 형성 단계는

상기 게이트 유전체 및 상기 절연층 위에 적어도 하나의 도전성 물질을 증착하는 단계;

상기 적어도 하나의 도전성 물질이 상기 절연층과 평탄화되도록 상기 적어도 하나의 도전성 물질의 일부를 제거하는 단계;

상부 도전성 물질이 상기 적어도 하나의 도전성 물질의 위에 및 상기 절연층의 일부 위에 연장되도록 상기 상부 도전성 물질을 증착, 패터닝 및 에칭하는 단계

를 포함하는 것을 특징으로 하는 방법.

**청구항 10.** 전향 중의 어느 한 향에 있어서,

상기 게이트 전극을 피복하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 11.** 제2항 또는 제5항에 있어서, 상기 소스/드레인 영역 형성 단계는 도퍼트를 상기 상향 풀출된 소스/드레인 영역으로부터 상기 기판으로 확산시키는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 12.** 제2항 또는 제5항에 있어서, 상기 소스/드레인 영역 형성 단계는 상기 게이트 유전체 형성 단계 전에 상기 상향 풀출된 소스/드레인 영역을 피복하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 13.** 전향 중의 어느 한 향에 있어서, 상기 소스/드레인 영역 형성 단계 후와 상기 게이트 유전체 형성 단계 전에 채널 도퍼트의 자기 정렬 도입(self-aligned introduction)을 수행하는 단계를 더 포함하는 것을 특징으로 하는 방법.

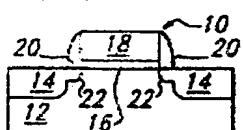
**청구항 14.** 제2항 또는 제5항에 있어서, 상기 상향 풀출된 소스/드레인 영역은 인시튜도핑되는(*in situ-doped*) 것을 특징으로 하는 방법.

**청구항 15.** 전향 중의 어느 한 향에 있어서, 상기 게이트 전극은 상기 상향 풀출된 소스/드레인 영역의 일부 위에 연장되며, 상기 게이트 전극은 상기 게이트 유전체에 의해서만 상기 상향 풀출된 소스/드레인 영역의 상기 일부로 부터 분리되는 것을 특징으로 하는 방법.

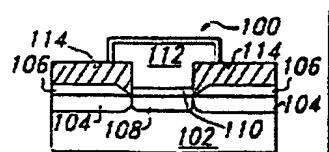
## 도면

## 도면 1

(증례 개수)



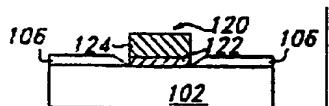
## 도면 2



## 도면 3a



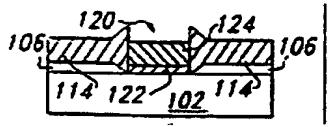
## 도면 3b



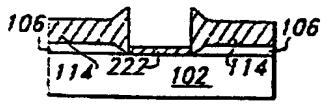
## 도면 3c



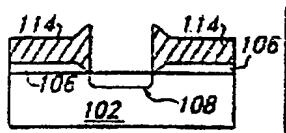
## 도면 3d



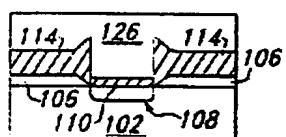
## 도면 3e



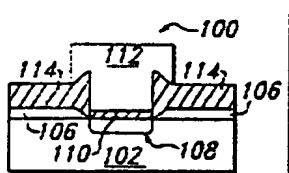
도면3



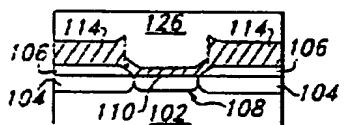
도면4



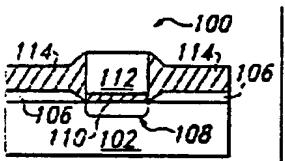
도면5



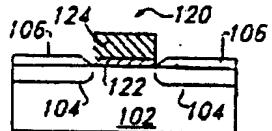
도면6

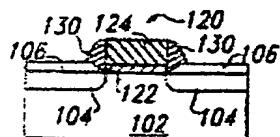
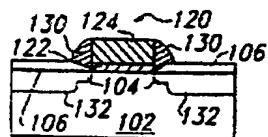
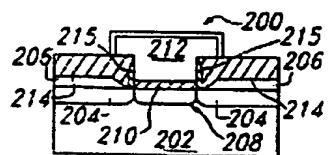
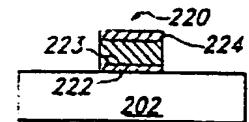
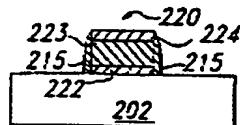
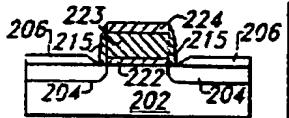
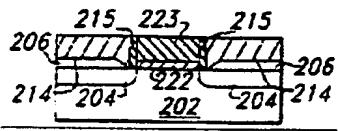


도면7

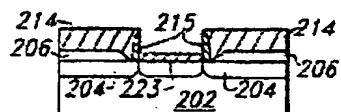


도면8

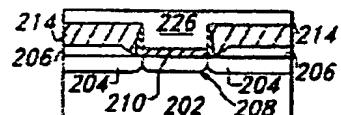


**도면6****도면6a****도면7****도면8a****도면8b****도면8c****도면8d**

도면8b



도면8c



도면8d

